

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-330730 Corre. to
 (43)Date of publication of application : 18.11.1992 JP 2705344

(51)Int.CI. H01L 21/331
 H01L 29/73

(21)Application number : 03-079388 (71)Applicant : NEC CORP
 (22)Date of filing : 12.04.1991 (72)Inventor : SATO FUMIHIKO
 NAKAMAE MASAHIKO
 SUGIYAMA MITSUHIRO
 TASHIRO TSUTOMU

(30)Priority

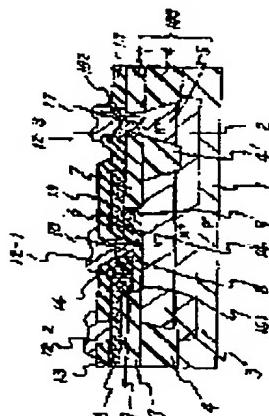
Priority number : 02 98116	Priority date : 13.04.1990	Priority country : JP
02103820	19.04.1990	
02109146	25.04.1990	JP
		JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To make a base thin and to reduce its plane size by a method wherein a single-crystal semiconductor film of a second conductivity type is formed on the surface of a single-crystal semiconductor substrate inside a first opening and a second polycrystalline semiconductor film is connected to the single-crystal semiconductor film in the halfway part of the difference in level in an opening in a first insulating film.

CONSTITUTION: A first opening is formed in a first insulating film 7 on a single-crystal semiconductor substrate 3 of a first conductivity type; a first polycrystalline semiconductor film 6 of a second conductivity type is formed on the insulating film 7. The polycrystalline semiconductor film 6 is provided with a protrusion, in the horizontal direction, which is extended to the inside of the opening part in a prescribed length from the whole circumference of the first opening; a second polycrystalline semiconductor film 9 of the second conductivity type exists from the bottom of the protrusion to the lower part. A first single-crystal semiconductor film 8 of the second conductivity type on the surface of the single-crystal semiconductor



(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2705344号

(45)発行日 平成10年(1998)1月28日

(24)登録日 平成9年(1997)10月9日

(51) Int.Cl.⁶
 H 01 L 21/331
 29/165
 29/73

識別記号 症内整理番号

F I
 H 01 L 29/72
 29/165

技術表示箇所

請求項の数 5 (全 10 頁)

(21)出願番号 特願平3-79388

(22)出願日 平成3年(1991)4月12日

(65)公開番号 特開平4-330730

(43)公開日 平成4年(1992)11月18日

(31)優先権主張番号 特願平2-98116

(32)優先日 平2(1990)4月13日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平2-103820

(32)優先日 平2(1990)4月19日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平2-109146

(32)優先日 平2(1990)4月25日

(33)優先権主張国 日本 (J P)

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 文彦

東京都港区芝5丁目7番1号日本電気株式会社内

(72)発明者 中前 正彦

東京都港区芝5丁目7番1号日本電気株式会社内

(72)発明者 杉山 光弘

東京都港区芝5丁目7番1号日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

審査官 鶴内 健夫

最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項1】 第1の導電型の単結晶半導体基板の表面上に設けられた第一の絶縁膜に選択的に第一の開口が形成され、この絶縁膜上に第2の導電型の第一の多結晶半導体膜が設けられ、かつこの多結晶半導体膜は前記第一の開口の全周囲から所定の長さで開口部内へのびた水平方向のせり出し部分を有し、このせり出し部分の底面から下方へ第2の導電型の第二の多結晶半導体膜が設けられ、また前記第一の開口部内の前記単結晶半導体基板表面上には第2の導電型の単結晶半導体膜が設けられ、これらの第二の多結晶半導体膜と単結晶半導体膜は前記第一の絶縁膜開口段差の途中で互いに接続しており、前記第一及び第二の多結晶半導体膜の表面および前記単結晶半導体膜の表面に選択的に形成された第二の絶縁膜を有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第一および第二の多結晶半導体膜および前記単結晶半導体膜はそれぞれシリコンで形成されていることを特徴とする半導体装置。

40 【請求項3】 請求項1記載の半導体装置において、前記第二の多結晶半導体膜および前記単結晶半導体膜はそれぞれSiGe混晶膜で形成され、前記第一の多結晶半導体膜はシリコンで形成されていることを特徴とする半導体装置。

45 【請求項4】 請求項1記載の半導体装置において、前記第一の多結晶半導体膜の表面に高融点金属シリサイド膜が形成されている事を特徴とする半導体装置。

【請求項5】 第1導電型の単結晶半導体層の表面に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に選択的に第1の開口をもった第1の多結晶半導体層を形成

する工程と、前記第1の多結晶半導体膜の表面および前記第1の開口を規定する側面上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜および前記第1の多結晶半導体膜をマスクにして前記第1の絶縁膜を選択的に除去することにより前記第1の開口よりも大きな第2の開口を前記第1の絶縁膜に形成する工程と、前記第2の開口内で前記単結晶半導体基板の表面から第2導電型の単結晶半導体膜を成長すると同時に前記第1の多結晶半導体膜の露出した下面から第2導電型の第2の多結晶半導体膜を成長してこれら2つの膜を接続する工程と、第2の絶縁膜と前記単結晶半導体膜との間の間隙を第3の絶縁膜で埋める工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関し、特にバイポーラトランジスタの構造と製造方法に関する。

【0002】

【従来の技術】バイポーラトランジスタは、ベースが薄いほど高速性の目安である遮断周波数 f_T が高くなることが知られている。またトランジスタの大きさが小さいほど寄生容量や抵抗が小さくなつて動作が速くなる。

【0003】薄いベースの形成方法としてイオン注入法が用いられているが、不純物イオンを浅く注入するには限界がある。

【0004】またイオン注入法では、注入されたイオンによるシリコン格子原子の変位つまりシリコン結晶の乱れを無くす必要があるので、高温で加熱するアニュール工程を行なう必要があり、このアニュール工程は、イオン注入した不純物を拡散してしまう。この結果、ベースの厚さは、不純物が拡散した分だけ厚くなつてしまい、ベースを薄くできなかつた。

【0005】そこで、薄いベースを形成する技術として低温エピタキシャル技術を用いたバイポーラトランジスタが提案されているCSymp. on VLSITech no.1. (1989) PP91-PP92)。この方法では、バイポーラトランジスタのベースを薄く作ることができるが、その後に形成すべきエミッタのための開口部をリソグラフィーによって設けている。よく知られているように、リソグラフィーでは重ね合わせ誤差を必要とするのでベースは、エミッタ開口の位置が誤差の最大値ですれても良いように、最大誤差分だけ平面的サイズを大きくしなければならない。このためベース・コレクタ接合面積が大きくなつてしまいその分寄生容量や抵抗が増えてスイッチング速度の向上に限界があつた。

【0006】

【発明が解決しようとする課題】このように、従来技術では、ベースを薄くするとともにその平面的サイズも小さくすることができなかつた。

【0007】したがつて、本発明の目的は、より高速度が可能となつたバイポーラトランジスタを有する半導体装置およびその製造方法を提供することにある。

【0008】本発明の他の目的は、ベースが薄くかつその平面的サイズも小さいバイポーラトランジスタおよびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の半導体装置は、第1の導電型の単結晶半導体基板の表面に設けられた第

10 一の絶縁膜に選択的に第一の開口が形成され、この絶縁膜上に第2の導電型の第一の多結晶半導体膜が設けられ、かつこの多結晶半導体膜は第一の開口の全周囲から所定の長さで開口部内へのびた水平方向のせり出しを有し、このせり出しの底面から下方へ第2の導電型の第二
15 の多結晶半導体膜が設けられ、また第一の開口内の単結晶半導体基板表面上には第2の導電型の第一の半導体単結晶膜が設けられ、これらの第二の多結晶半導体膜と第一の単結晶半導体膜の領域が互いに接続されており、前記第一の多結晶半導体膜の表面に第二の絶縁膜及び開口
20 内側面に第三の絶縁膜が形成され、前記第一の単結晶半導体膜表面に形成される第二の開口を有する事を特徴とする半導体装置である。

【0010】また本願発明の半導体装置の製造方法は、第1の導電型の単結晶半導体基板の表面に第一の絶縁膜
25 を形成する工程と、この第一の絶縁膜の表面に第2の導電型の第一の多結晶半導体膜を形成する工程と、この第一の多結晶半導体膜の表面に第二の絶縁膜を形成する工程と、第一の多結晶半導体膜及び第二の絶縁膜を選択的に除去してエミッタ形成領域に第1の開口部を形成する
30 工程と、この第1の開口部の側壁に絶縁膜を選択的に形成して第2の絶縁膜の延長部を形成する工程と、第一の絶縁膜を第1の開口部の底面からサイドエッチングし第一の多結晶半導体膜の下面が所定の長さだけ露出するよう開口した第2の開口部を形成する工程と、この第2の
35 開口部内で第1の導電型の単結晶半導体基板の表面から第2の導電型の単結晶半導体膜を成長すると同時に第一の多結晶半導体膜の露出した下面から第2の導電型の第二の多結晶半導体膜を成長してこれら2つの膜を接続する工程と、第三の絶縁膜を全面に形成し、第二の多結晶
40 半導体膜の側面をおおう工程と、第三の絶縁膜をエッチバックして第1の開口部の側壁と前記第二の多結晶半導体膜の側面に第三の絶縁膜を残すと同時に前記第三の絶縁膜で囲まれた第3の開口部の底部で単結晶半導体膜を露出する工程を有することを特徴とする。

【0011】

【実施例】以下、図面を参照しながら本発明の実施例を記述する。

【0012】図1は本発明の第1実施例を示すバイポーラトランジスタの断面図である。本バイポーラトランジ
50 スタはバイポーラ集積回路やBi-CMOS ICの一

部として形成されている。すなわち、比抵抗 $10 \text{ 乃至 } 1$ $5 \Omega \cdot \text{cm}$ の P 型単結晶シリコン基板 1 にヒ素を不純物とする高濃度の N^+ 型コレクタ埋込領域 2 が選択的に形成され、全面に $5 \times 10^{16} \text{ cm}^{-3}$ の不純物、および $1.0 \mu\text{m}$ の厚さで N 型単結晶エピタキシャル層 3 が形成されている。エピタキシャル層 3 は、周知の選択酸化により基板 1 に達する酸化膜 4 によって複数の島領域に分離されている。図面では、埋込領域 2 に対応する島領域 3 のみ示している。この島領域 3 は、埋込領域 2 に達する酸化膜 4 によって 2 つの部分に分離され、左側の部分はコレクタ領域として作用し、右側の部分は N^+ 型コレクタ取り出し領域 5 としてその後のリン拡散によって高濃度化されている。かくしてシリコン基体 100 が構成される。この基体 100 上はシリコン窒化膜 7 で覆われおり、同膜 7 にはコレクタ領域 3 の一部を露出しベース形成のための開口 101 とコレクタ取り出し領域 5 を露出する開口 102 とが形成されている。シリコン窒化膜 7 の下に薄いシリコン酸化膜を設けてもよい。シリコン窒化膜 7 上には P 型の多結晶シリコン層 9 が選択的に形成されており、同層 9 は開口 101 のエッジから開口内に水平方向にせり出している。そのせり出し部分の下面からコレクタ領域 3 に向って P 型の多結晶シリコン層 6 が形成され、一方、コレクタ領域 3 の露出した部分には本発明に従ってエピタキシャル成長による単結晶シリコンにより P 型ベース領域 8 が形成されており、これら多結晶シリコン層 9 とベース領域 8 は互に接触している。開口部 101 側には N 型多結晶シリコン層 11 が形成され、コレクタ取り出し領域 5 と接触している。シリコン酸化膜 13 および 14 によって、エミッタ形成部を除いてベース領域 8 および多結晶シリコン層 6, 9 が覆われている。ベース領域 8 の露出部分には単結晶シリコンによる N 型エミッタ領域 10 が形成されている。そして、アルミニウムによるエミッタ電極 12-1, ベース電極 12-2, コレクタ電極 12-3 がエミッタ領域 10, 多結晶シリコン層 6, 11 にそれぞれ接触して形成されている。

【0013】かかる構造によれば、ベース領域 8 はエピタキシャル成長によりかつシリコン窒化膜 7 の厚さで制御されて薄く形成でき、さらにエミッタ領域 10 は自己整合的に形成できるのでベース領域 8 の平面的サイズを小さくでき、その結果、高速なバイポーラトランジスタが提供される。図 2～図 10 を参照すると図 1 に示したトランジスタの製造工程断面図が示されている。

【0014】まず図 2 を参照されたい。抵抗率 $10 \sim 20 \Omega \cdot \text{cm}$ の (100) 面方位の P 型シリコン基板 1 全面を厚さ約 6000 オングストローム 酸化しこの酸化膜上に通常のリソグラフィー工程によってフォトレジストをバーニングし、このフォトレジストをマスクに SiO_2 膜を HF 系エッティング液によって選択的にエッチングしフォトレジストの無い領域の SiO_2 膜を除去し

た後、フォトレジストを除去する。

【0015】次工程でのイオン注入によって発生するダメージを軽減させるため及び次工程以降のリソグラフィー工程での位置合せ用のパターン形成のために前記 S i

O₂ バーニングが施された P 型 S i 基板を 500 オングストローム 程度酸化する。次に、As をイオン注入して前述の約 6000 オングストローム の SiO₂ 膜が除去された領域のみに選択的に n⁺ 埋込領域 2 を形成する。イオン注入条件の一例としては $70 \text{ keV}, 5 \text{ E} 10 \text{ cm}^{-2}$ であり注入後の熱処理としては 1100°C 3 時間を施しイオン注入時のダメージ除去及び、コレクタ抵抗を低減するために注入されたヒ素を拡散させる。そして表面の SiO₂ 膜を HF 系エッティング液によって全面除去する。本工程はイオン注入技術を用いたが高濃度のヒ素を含む塗布膜から熱処理によって拡散しても同様の n⁺ 型埋込層を形成できるし、不純物としてはアンチモン Sb を用いることもある。

【0016】次に素子分離用として形成する選択酸化層 4 の下面の p⁻ シリコン基板が反転層を形成しない様にする為にチャネル・ストッパー用 p⁺ 埋込層 2 を形成する。形成条件の一例としては、表面を約 400 オングストローム 酸化後、リソグラフィー工程にて、所望外領域に、フォトレジストをのこしこのフォトレジストをマスクとしてボロンをイオン注入する。注入条件の一例としては $110 \text{ keV}, 1 \text{ E} 14 \text{ cm}^{-2}$ であり熱処理としては 1000°C 窒素雰囲気中で 1 時間である。

【0017】次に表面の酸化膜を HF 系のエッティング液によって全面除去後、n⁻ 型シリコンエピタキシャル層 3 を成長させる。原料ガスとしては SiH₄ 又は Si_iH_jC_{1-j} を用い成長温度は $1000^\circ\text{C} \sim 1100^\circ\text{C}$ である。ドーピングガスとしては PH₃ が用いられる。この様にして $1 \times 10^{11} \text{ cm}^{-2}$ 以下の濃度領域の厚さが、約 $0.7 \mu\text{m}$ 、表面から埋込領域への遷移領域までが平均的濃度が n 型で約 $1 \times 10^{16} \text{ cm}^{-3}$ のエピタキシャル層を得る。

【0018】次に表面に約 500 オングストローム の SiO₂ 膜を形成し次に LPCVD 法によりシリコン窒化膜を約 1000 オングストローム 堆積させる。条件としては $700 \sim 900^\circ\text{C}$ で SiH₄, C_{1-j}, NH₃ のガス反応を用いる。次にリソグラフィー工程によりバーニングし、このレジストをマスク材として、シリコン窒化膜をドライエッティングによって除去する。シリコン窒化膜下の約 500 オングストローム の SiO₂ 膜の表面 $100 \sim 200 \text{ オングストローム}$ 程度が除去される時点ですライエッティングを終了させれば、下地にダメージを与えることなくシリコン窒化膜を完全に除去できる。そのフォトレジストを除去する。先にバーニングしたシリコン窒化膜をマスク材として選択的酸化を行ない選択酸化膜 4 を形成する。選択酸化膜の形成条件の一例としては 1000°C スチーム中 4 時間で約 8000 オングストローム

ロームの酸化膜が形成される。

【0019】次にマスク材として用いたシリコン窒化膜を約60°Cのリン酸H₃PO₄中に1時間つけることによって完全に除去する。

【0020】次に再びシリコン窒化膜7約1100オングストロームを表面に堆積し将来的にコレクタ電極を形成する領域上のシリコン窒化膜のみを先の選択酸化工程と同様にリソグラフィー及びドライエッチによってシリコン窒化膜7をバーニングする。次に多結晶シリコン膜6を約2000オングストロームLPCVD法によって堆積する。条件は約620°CでSiH₄, Cl₂が原料である。

【0021】このポリシリコンをリソグラフィー及びポリシリコンのドライエッチによってバーニングする。そしてレジストを除去する。

【0022】次にリソグラフィーによってベース電極用多結晶シリコン6上ののみレジストが開口する様にバーニングさせ、このレジストをマスクにボロンを20keV, 5E15cm⁻³イオン注入する。そしてレジストを除去する。

【0023】次にシリコン酸化膜500オングストロームとシリコン窒化膜1000オングストロームをCVD法によって堆積させ、リソグラフィー及びドライエッチによってコレクタ電極上多結晶シリコン11上の酸化膜、窒化膜の2層膜を開口する。この状態でPOCl₃中900°C20分の熱処理によってこの開口部のみにリンが拡散されコレクタ電極用多結晶シリコン層中にリンが拡散されるのみならずその下にまでリンが拡散される。そして上層2層膜のシリコン窒化膜シリコン酸化膜をそれぞれリン膜及びHF系エッティング液をもちいて除去する。そしてその後シリコン酸化膜26をCVD法によって、約4000オングストローム堆積させる。但しこのSiO₂膜はち密さを向上させ、ウェットエッティングの際のエッチレートを遅くさせる目的で1000°CのO₂中で20分間熱処理する。

【0024】次に、図3のように、フォトレジスト19をシリコン酸化膜26の上面に塗布し、リソグラフィーにより、エミッタ領域のみフォトレジスト19を除去する。

【0025】次に、図4のように、このフォトレジスト19をマスクとして、フォトレジストの開口部内のシリコン酸化膜26を異方性ドライエッティングで除去する。さらにこの異方性ドライエッティングを行ない、図5のように、多結晶シリコン膜6を開口する。この後レジスト19を除去する。

【0026】次に、図6のように、露光面の全面に、LPCVD法によりシリコン酸化膜13(SiO₂)を堆積する。なお、図を理解し易くするため、新しく堆積したシリコン酸化膜13中にシリコン酸化膜26を含んだ図を示す。このため、エミッタ領域上の開口部のみ、シ

リコン酸化膜13が薄くなっている。

【0027】次に、図7のように、シリコン酸化膜13の全面を異方性ドライエッティングでエッティングする。この結果、多結晶シリコン6は、その上面及び側面がシリコン酸化膜13におおわれ、そしてエミッタ形成領域の開口部でシリコン窒化膜7が所定の寸法で露出する。

【0028】次に、図8のように、加熱したリン酸を用いたウェットエッティングを行ない、シリコン窒化膜7を開口部から所定の寸法だけサイドエッティングする。この

10 結果、n⁻型シリコンのエピタキシャル層3の上面は、ベースを形成する領域だけ露出する。またベース電極用多結晶シリコン膜6は、ベースを形成する領域上に突き出した状態になる。この突き出した端からシリコン窒化膜7の側壁までの距離は、約2000オングストローム15であり、この距離だけ下面が露出する。

【0029】次に、図9のように、分子線エピタキシャル成長を行ない、P型不純物を含んだ単結晶シリコン膜8を露出したエピタキシャル層3の表面に成長すると同時に、P型不純物を含んだ多結晶シリコン膜9を多結晶シリコン膜6の露出した下面から成長する。これにはまず成長前処理として洗浄及びHF系のエッティング液に短時間(たとえば130BHfに30秒間)つけて自然酸化膜を除去した後にウエハーをMBE装置内に入れる。次に装置内で850°C10分間程度の熱処理によって前記エッティング処理では不完全であった自然酸化膜の除去を完全に行なう。この熱処理が不充分な場合、次工程の選択エピタキシャル成長が完全なかたちで行なえないことは言うまでもない。

【0030】次にガスソースMBE(Molecular Beam Epitaxy, 分子線エピタキシー)法でベースを形成する。ベース形成条件は、基板温度を560°C, Si, H₂の流量を70sccm, 圧力を約2×10⁻⁴Torrであり、シリコン層を成長速度約70オングストローム/minで選択的に成長する。

【0031】P型シリコン層を成長させるためのドーピングガスとしてB₂H₆を用いる。B₂H₆の流量は所望のP型濃度となる様に決める。この様にして真性ベース24の厚さ約600オングストローム, B濃度約3×10¹⁸cm⁻³のエピタキシャル層を成長する。もちろん

40 この時多結晶シリコン外部ベース層25も選択的に成長することは言うまでもない。そしてこの選択的成長は真性ベース24と多結晶シリコン外部ベース25とが接続する状態までつけられる。この接続した状態が図10である。これにより、真性ベース8の成長と真性ベース8と多結晶シリコン6との電気的接続とを1つの工程だけで同時に行なえる。なお、最終的な真性ベース8の厚さは、約600オングストロームであり、最終的な外部ベース9の厚さは500オングストロームである。なおベース8の成長は、数Torrの圧力下で成長させるL

50 PCVD法や他のエピタキシャル法たとえば10⁻¹~1

0°Torr の高真空中で成長させるUHV/CVD (Ultra High Vacuum/Chemical Vapour Deposition) 法などを用いることも可能である。

【0032】次に、図11のように、露出面全面にLPCVD法によるシリコン酸化膜14を堆積後、ドライエッティングによってエッチパックする。再びウエハをMBE装置に入れ、外部ベース9及びシリコン酸化膜13の側壁にシリコン酸化膜14を残す。つづいて絶縁膜13, 14で被覆されていない真性ベース8上にエミッタ単結晶シリコン10をn型の不純物を $1 \times 10^{19} \text{ cm}^{-3}$ 厚さ約1000オングストロームの条件で添加して成長させた。

【0033】以降の工程としてはベースとコレクタの金属電極のためにシリコン酸化膜13を開孔し、A1膜を全面に蒸着後、リソグラフィーによりエミッタ、ベース及びコレクタ部にだけA1電極12を残す。この結果、図1の半導体装置を作製できる。

【0034】なお、本実施例は、NPN型トランジスタであったが、不純物を変えるだけでPNPトランジスタも作ることができる。また図7の構造は、図3から図5の異方性ドライエッティング工程で、開口部の大きさを図7の開口部の大きさで開口し、開口部の側壁を同じ厚さまで酸化しても得られる。この場合開口部の内壁の形状は、図7の開口部の形状よりシリコン窒化膜7に対して垂直に近いが、支障は無く、後続の工程を適用できる。

【0035】次に、本発明の第2実施例を図12に示す。本実施例の半導体装置は、MBE法によるベース8の成長時に、材料ガスとしてSi, H₂とGeH₄とを用い、シリコンとゲルマニウムとの合金膜を形成した。MBEの条件は、実施例1の条件に加えてGeH₄をSi, H₂: GeH₄ = 10 : 1 (流量比) の割合で追加すれば良い。これによりゲルマニウムを10モル%含む単結晶シリコングルマニウム合金膜15は、コレクタ3上にエピタキシャル成長される。

【0036】この成長と同時に多結晶シリコングルマニウム合金外部ベース16もベース電極用多結晶シリコン6のオーバーハング下部に成長し、そして前述の真性ベース膜15と接続される。

【0037】このシリコングルマニウム合金ベース膜15の禁制帯巾は、エミッタとして用いたシリコンの禁制帯巾よりも狭くなる。この縮小量は、Geのモル%及びシリコングルマニウム合金膜の歪量に依存している。この禁制帯巾の差は、ベースからエミッタへ注入される少数キャリアにとって障壁となって、ベース電流の増大を抑制する。すなわちこの禁制帯巾の差は、遮断周波数f_cを向上する。そしてこの禁制帯巾の差により、コレクタ・エミッタ間の耐圧BV_{ce0}をある一定値以上に保つためにベース層を薄膜・高濃度化させた場合でも、電流増幅率h_{fe}を十分な大きさにできる。

【0038】本発明の第3実施例を図13の断面図を用いて説明する。第1実施例の多結晶シリコン膜6の部分が、本実施例ではTiSi_xfilm17と多結晶シリコン膜20の2層構造となっている。他の構造及び製造方法は、第1実施例と同じである。これによりTiSi_xfilm17の抵抗が低いだけ、ベース抵抗を低減できる。製造方法は、多結晶シリコン膜20上にTi膜をスパッタした後熱処理して上述の2層構造を形成する。例えば、TiSi_x膜17の厚さが約1000オングストローム/多結晶シリコン膜20の厚さが約1500オングストロームで所定の配線幅である時、シート抵抗ρ_sは、2~3Ωとなる。この抵抗値は、多結晶シリコン膜6が厚さが約2500オングストロームで同一配線幅である時、シート抵抗ρ_sが8~9Ωとなるのに比べ、

- 15 抵抗値が半分以下になっている。
- 【0039】図14は、本発明の第4実施例の半導体装置の断面図である。本実施例の主要な構造及び製造方法は、第1実施例と同一であるので、違う部分だけを説明する。本実施例の特有な構成は、n型不純物が添加されたエミッタ用多結晶シリコン膜21及びN⁺エミッタ拡散層18である。真性ベース膜8は、N⁺エミッタ拡散層18の分だけさらに薄くなっていて、トランジスタのスイッチング速度の高速化がさらに促進できる。なお、この拡散層18の形成時に、真性ベース膜18の不純物が、エピタキシャル層3に拡張して、少々ベースとコレクタの接合面がコレクタ側に移動する場合がある。

- 【0040】図15と図16に本発明の第4実施例の半導体装置の製作工程断面図を示す。
- 【0041】図15は、図10と同じ状態である。この状態までの製造方法は、第1実施例と第4実施例とで同じである。
- 【0042】まず、図16の断面図のようにLPCVD法でシリコン酸化膜14を堆積する。次にドライエッティングによってこのシリコン酸化膜14をエッチパックし、そして外部ベースの側壁にシリコン酸化膜14を残す。次にシリコン絶縁膜14で被覆されていない真性ベース膜8上にn型エミッタ多結晶シリコン電極21を形成する。次に熱処理によって真性ベース膜8内に、N⁺エミッタ拡散層18を形成する。

- 【0043】以降の工程としては、実施例1と同様にベースとコレクタの金属電極のためにシリコン酸化膜13を開孔し、A1系電極用A1膜を全面に蒸着後、リソグラフィーによりエミッタ、ベース及びコレクタ部にだけA1系電極12を残す。この結果、図16の断面図を有する半導体装置を作製できる。
- 【0044】次に、本発明の第5の実施例を図17の断面図を用いて説明する。なお本実施例の構造及びその製造方法は、第2実施例と第4実施例の特徴を合せ持っている。第4実施例をベースにして、第2実施例の構造と

- 50 製造工程を適用した部分を指摘する。第2実施例の構造

を適用した部分は、単結晶シリコングルマニウム合金膜15と多結晶シリコングルマニウム外部ベース16である。これにより、実施例2、4の特性を合わせ持った、よりスイッチング速度の速い半導体装置が提供できる。なお本実施例においても第3実施例と同様にベース抵抗を低減させるためにベース電極用多結晶シリコンがTiSi_x膜と多結晶シリコン10との2層構造となつても良い。

【0045】図18は、本発明の第6実施例の半導体装置の断面図である。本実施例の主要な構造は、第1実施例と同一であるので、違う部分だけを説明する。

【0046】本実施例の特有の構成の構成は、n型不純物が $1 \times 10^{11} \text{ atoms/cm}^3$ 添加されたエミッタ用単結晶シリコン膜22とエミッタ電極用多結晶シリコン膜18である。このエミッタ電極用多結晶シリコン膜18は、トランジスタのベース電流低減に寄与するため、電流増幅率の向上に役だつ。この他、シリコン膜18は、配線金属形成後の熱処理による金属一素子間のアロイビット形成に供なう素子接合破壊のバリアともなる。

【0047】図19と図20に本発明の第6実施例の半導体装置の製造工程別断面図を示す。

【0048】図19は、図10と同じ状態である。この状態までの製造方法は、第1実施例と第6実施例と同じである。

【0049】図20において、シリコン酸化膜14の形成工程までは、第1実施例と同じである。このためこの工程以降を説明する。エミッタ単結晶シリコン22は、n型不純物を $1 \times 10^{11} \text{ cm}^{-3}$ 添加して膜厚500オングストロームで成長する。次にエミッタ電極用多結晶シリコン膜を堆積する。

【0050】本発明の第7実施例を図21の断面図を用いて説明する。本実施例は、第6実施例の構造と製造方法に、第2実施例の特徴である単結晶シリコングルマニウム合金膜15と多結晶シリコングルマニウム外部ベース膜16とを適用したものである。このため、本実施例は、第6実施例の真性ベース8と外部ベース9の構造と製造方法を第2実施例の合金膜15と外部ベース膜16の構造と製造方法に変更することにより提供できる。これにより、2つの実施例の効果であるトランジスタのスイッチングスピードの向上手段が合成され、より高速なトランジスタが実現できる。

【0051】本発明の第8実施例の断面図を図22に示す。第1実施例のシリコン窒化膜7の部分がSiO_x膜23、シリコン窒化膜24とSiO_x膜25の三層構造になっている部分が違うだけで後は同じ構造である。この三層構造は、絶縁膜として機能し、シリコン窒化膜に比べて誘電率が低いので層間の容量結合の低下に効果がある。

【0052】新しい製造工程は、第1実施例のシリコン窒化膜7を形成する工程の代わりに、まずSiO_x膜2

3をCVD法で450オングストロームの厚さで形成し、次にシリコン窒化膜24をCVD法で450オングストロームの厚さで形成し、次にSiO_x膜25をCVD法で200オングストロームの厚さで形成する3つの工程を行う。また別の新しい製造工程は、実施例1のエビタキシャル層3の上面のシリコン窒化膜7を図7から

図8のようにリン酸でエッティングする工程を次のように変更した。まずシリコン酸化膜14のエッティングにより、エミッタを形成する開口部をSiO_x膜25にも同時に作り、シリコン窒化膜24を開口部底部で露出する。次にシリコン窒化膜24をリン酸によりサイド方向にエッティングして第1実施例とほぼ同じ深さの横穴を作る。次に、SiO_x膜23、25をフッ酸で除去して図8と同形状の逆T字形の穴がエビタキシャル層3上に出来る。以上の工程以外は、第1実施例の製造工程と本実施例の製造工程は同じである。この製造方法の長所は、リン酸でSi外部ベース9を直接エッティングしないので、Si外部ベース9の表面にリン原子が吸着してベース抵抗を大きくすることを防ぐことができる。

【0053】

【発明の効果】本願は、ベースを薄膜を用いて薄く構成／形成できかつエミッタの開口部の形成を自己整合的に行なえてベースの平面方向の寸法を小さくできるので、遮断周波数f_sが高く寄生容量が小さく、配線抵抗が小さい高速なバイポーラトランジスタを有する半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1実施例の半導体装置のバイポーラトランジスタの断面図である。

【図2】～

【図11】本発明の第1実施例の半導体装置の製造工程別断面図である。

【図12】本発明の第2実施例の半導体装置の断面図である。

【図13】本発明の第3実施例の半導体装置の断面図である。

【図14】本発明の第4実施例の半導体装置の断面図である。

【図15】～

【図16】本発明の第4実施例の半導体装置の製造工程別断面図である。

【図17】本発明の第5実施例の半導体装置の断面図である。

【図18】本発明の第6実施例の半導体装置の断面図である。

【図19】～

【図20】本発明の第6実施例の半導体装置の製造工程別断面図である。

【図21】本発明の第7実施例の半導体装置の断面図である。

【図22】

【図22】本発明の第8実施例の半導体装置の断面図である。

【符号の説明】

- 1 P型のシリコン基板
- 2 埋込層
- 3 エピタキシャル層
- 4 選択酸化層
- 5 拡散層
- 6 多結晶シリコン膜
- 7 シリコン窒化膜
- 8 真性ベース膜
- 9 多結晶シリコン外部ベース膜
- 10 単結晶シリコン膜
- 11 コレクタ電極用多結晶シリコン膜

12 金属電極

13~14 酸化膜

15 シリコングルマニウム合金膜

16 シリコングルマニウム合金外部ベース膜

05 17 TiS_x膜

18 エミッタ電極用多結晶シリコン膜

19 レジスト

20 多結晶シリコン膜

21 エミッタ用多結晶シリコン膜

10 22 エミッタ用単結晶シリコン膜

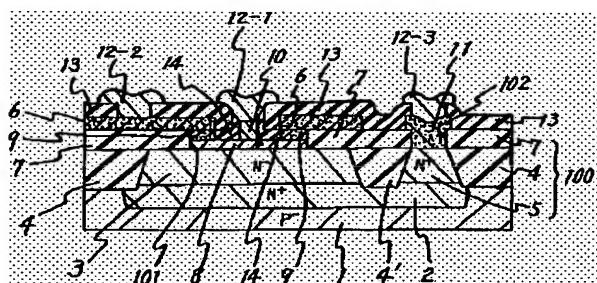
23 SiO_x膜

24 シリコン窒化膜

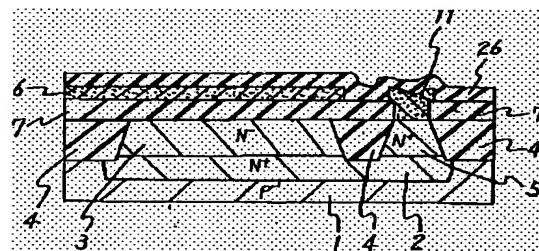
25 SiO_x膜

26 シリコン酸化膜

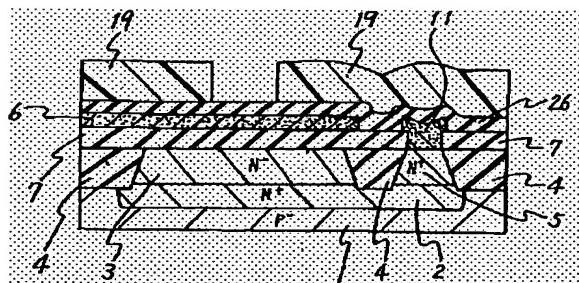
【図1】



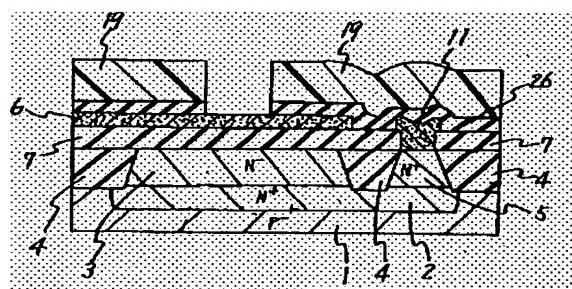
【図2】



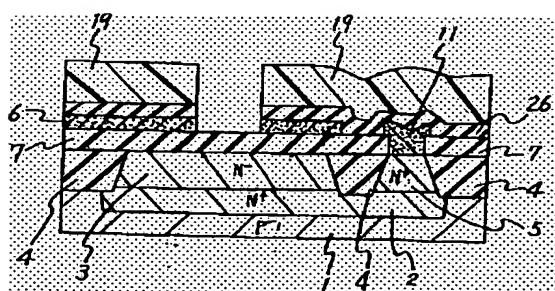
【図3】



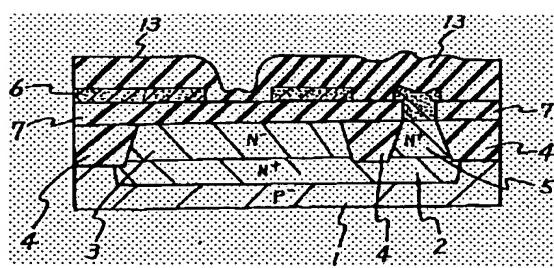
【図4】



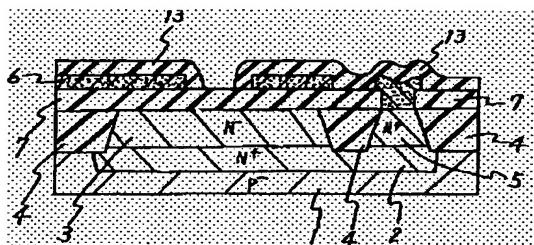
【図5】



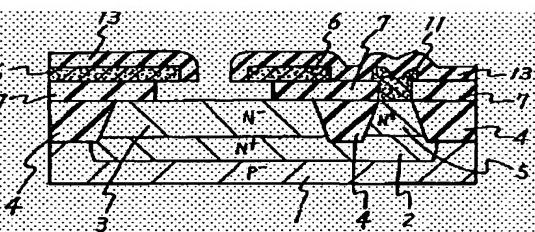
【図6】



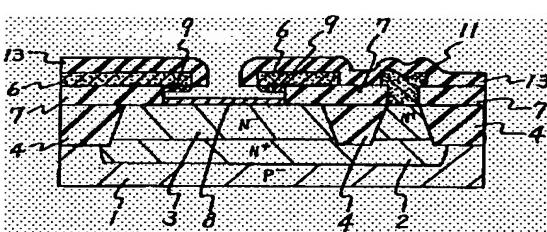
【図7】



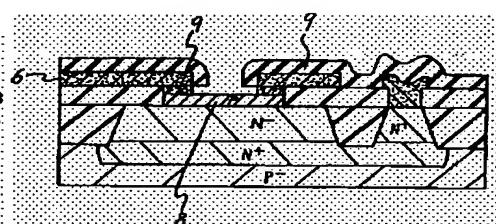
【図8】



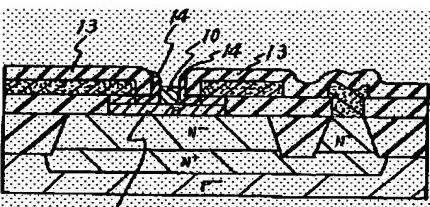
【図9】



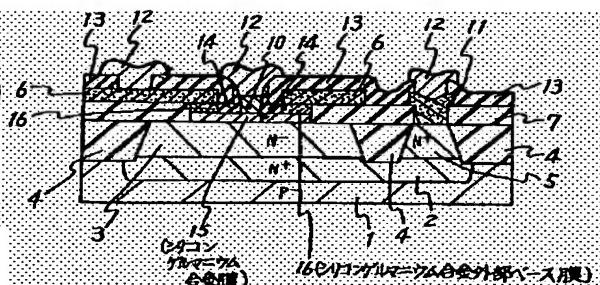
【図10】



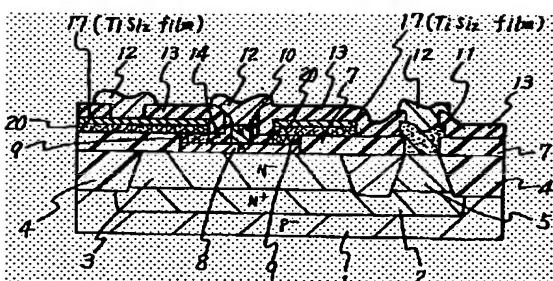
【図11】



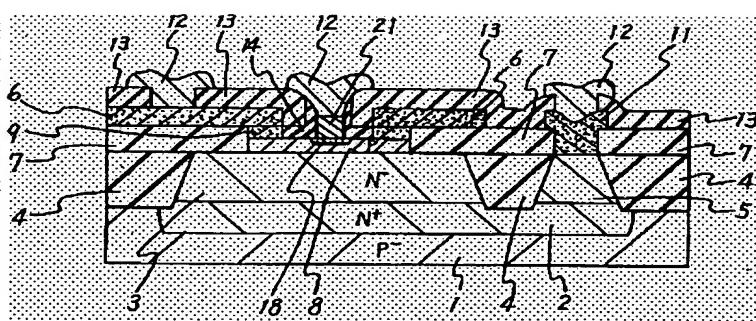
【図12】



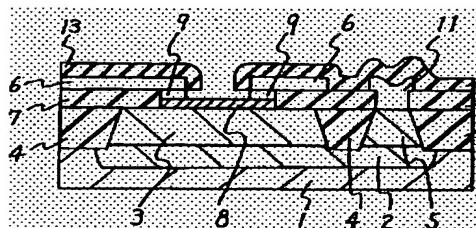
【図13】



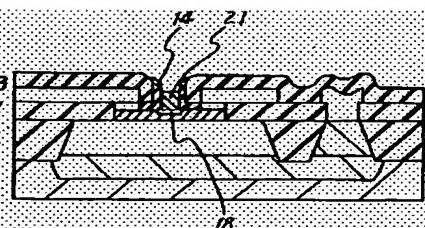
【図14】



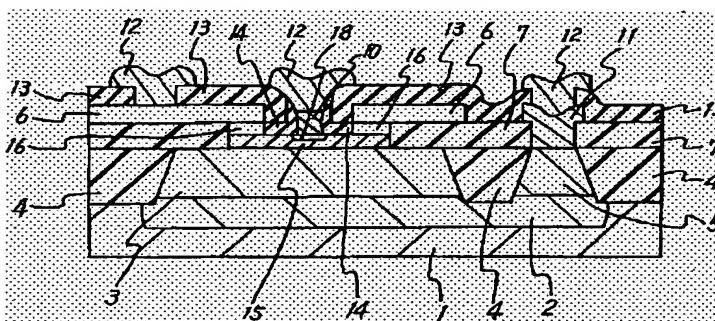
【図15】



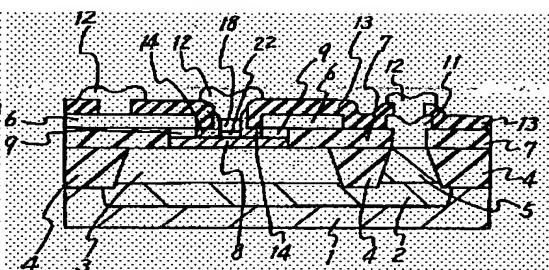
【図16】



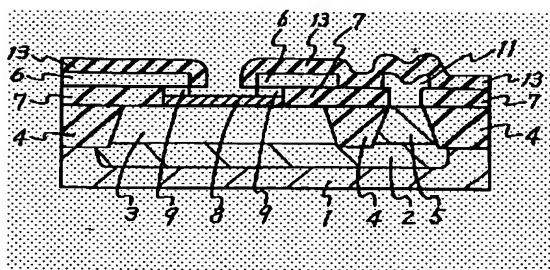
【図17】



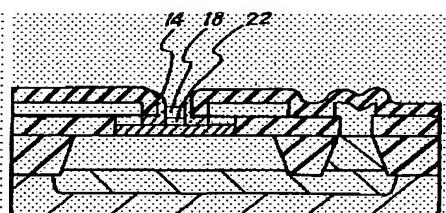
【図18】



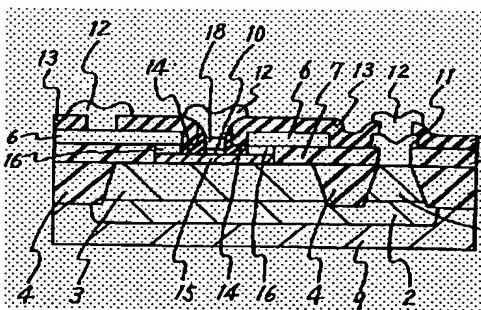
【図19】



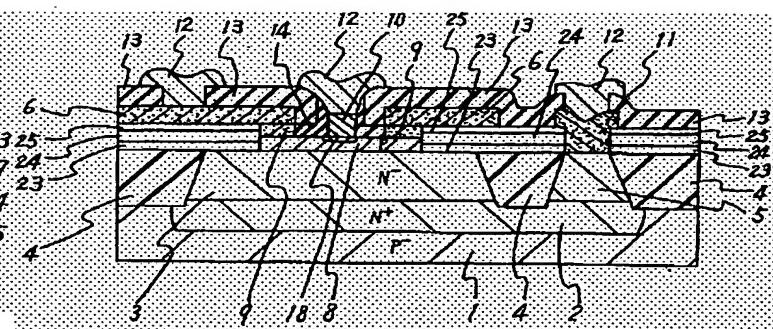
【図20】



【図21】



【図22】



フロントページの続き

(72)発明者 田代 勉

東京都港区芝5丁目7番1号日本電気株
式会社内

(56)参考文献

05

特開 昭54-155778 (JP, A)

特開 昭61-224354 (JP, A)

特開 昭63-213961 (JP, A)

特開 昭63-305557 (JP, A)